

CAS Mikroelektronik Digital 23HS

Kursort Hochschule für Technik FHNW
Institut für Sensorik und Elektronik
Steinackerstrasse 5
5210 Windisch

Kursraum 4.227 (Gebäude 4)

Unterrichtszeiten Vormittag 08.35-11:50
Nachmittag 13.00-16:15

Stundenplan (grafisch)

Sep 23		Okt 23		Nov 23		Dez 23		Jan 24	
1	Fr	1	So	1	Mi	1	Fr	1	Mo
2	Sa	2	Mo	2	Do	2	Sa	2	Di
3	So	3	Di	3	Fr	3	So	3	Mi
4	Mo	4	Mi	4	Sa	4	Mo	4	Do
5	Di	5	Do	5	So	5	Di	5	Fr
6	Mi	6	Fr	6	Mo	6	Mi	6	Sa
7	Do	7	Sa	7	Di	7	Do	7	So
8	Fr	8	So	8	Mi	8	Fr	8	Mo
9	Sa	9	Mo	9	Do	9	Sa	9	Di
10	So	10	Di	10	Fr	10	So	10	Mi
11	Mo	11	Mi	11	Sa	11	Mo	11	Do
12	Di	12	Do	12	So	12	Di	12	Fr
13	Mi	13	Fr	13	Mo	13	Mi	13	Sa
14	Do	14	Sa	14	Di	14	Do	14	So
15	Fr	15	So	15	Mi	15	Fr	15	Mo
16	Sa	16	Mo	16	Do	16	Sa	16	Di
17	So	17	Di	17	Fr	17	So	17	Mi
18	Mo	18	Mi	18	Sa	18	Mo	18	Do
19	Di	19	Do	19	So	19	Di	19	Fr
20	Mi	20	Fr	20	Mo	20	Mi	20	Sa
21	Do	21	Sa	21	Di	21	Do	21	So
22	Fr	22	So	22	Mi	22	Fr	22	Mo
23	Sa	23	Mo	23	Do	23	Sa	23	Di
24	So	24	Di	24	Fr	24	So	24	Mi
25	Mo	25	Mi	25	Sa	25	Mo	25	Do
26	Di	26	Do	26	So	26	Di	26	Fr
27	Mi	27	Fr	27	Mo	27	Mi	27	Sa
28	Do	28	Sa	28	Di	28	Do	28	So
29	Fr	29	So	29	Mi	29	Fr	29	Mo
30	Sa	30	Mo	30	Do	30	Sa	30	Di
		31	Di			31	So	31	Mi

Stundenplan (tabellarisch)

Kurs-Woche	Kalender-Woche	Datum	Dozent	Themen
FPGA Design und Verifikation				
1	38	22.09.2023	Bründler	Einführung in VHDL
		23.09.2023	Bründler	FPGA-Workflow
2	39	29.09.2023	Bründler	Vertiefung VHDL
		30.09.2023	Bründler	Synthese, Place&Route
3	40	06.10.2023	Bründler	Vendor Specific FPGA Design
		07.10.2023	Bründler	Embedded Logic Analyzer
4	41	13.10.2023	Pichler	VHDL Testbench
		14.10.2023	Pichler	Verifikation mit VHDL
5	42	20.10.2023	Pichler	Vertiefung Verifikation mit VHDL
		21.10.2023	Pichler	OVL, UVM, TLM, PSL, System Verilog
6	43	27.10.2023	Pichler	Projekt 1
		28.10.2023	Pichler	
System on programmable Chip				
7	45	10.11.2023	Bründler	Zync-7000 Processing System
		11.11.2023	Bründler	Vivado IPI & PL Peripherals
8	46	17.11.2023	Bründler	AXI Protocol Family
		18.11.2023	Bründler	Custom IP & Version Control
9	47	24.11.2023	Bründler	Multi-Processor Systems & FreeRTOS
		25.11.2023	Bründler	P2 (Audio Echo)
10	48	01.12.2023	Bründler	Schriftliche Prüfung Beispiele aus der Praxis
		02.12.2023	Pichler	Beispiele aus der Praxis FPGA Projektmanagement
Gruppenarbeit				
11	49	08.12.2023		<i>Gruppenarbeit</i>
		09.12.2023		<i>Gruppenarbeit</i>
12	50	15.12.2023		<i>Gruppenarbeit</i>
		16.12.2023		<i>Gruppenarbeit</i>
13	1	05.01.2024		<i>Gruppenarbeit</i>
		06.01.2024		<i>Gruppenarbeit</i>
14	2	12.01.2024		<i>Gruppenarbeit</i>
		13.01.2024		<i>Gruppenarbeit</i>
15	3	19.01.2024	Alle	Präsentation der Gruppenarbeiten

FPGA Design und Verifikation

Ziele

Sie lernen, wie man mit VHDL ein digitales, synchrones System auf Register-Transfer-Level beschreibt. Sie können mit VHDL/PSL eine Testbench schreiben und Ihr Design auf funktionale Korrektheit überprüfen. Mit den Tools der FPGA-Anbieter können Sie das Design synthetisieren, auf Einhaltung aller Timing-Anforderungen überprüfen und auf einem FPGA Development Board testen.

Struktur

- Design 1 Einführung VHDL (für RTL-Modellierung)
- Design 2 Advanced VHDL
- Design 3 Einblick in eine FPGA-Technologie
- Verifikation 1 VHDL (für Testbench-Modellierung)
- Verifikation 2 Advanced Verifikation mit PSL
- Projekt 1 Selbständige Projektarbeit in der Gruppe

Zeitbedarf

12 Tage

Notwendiges Material

- VHDL Entwicklungsumgebung
- FPGA Entwicklungsboard mit 7-Segment Anzeige und Drucktasten

System on Chip

Ziele

Sie lernen, wie man ein gesamtes System mit Mikrokontroller, Speicher und digitaler Logik in einem SoC realisiert, wie sich ein solches System mit Hilfe von vorgefertigten Schaltungen (IP-Cores) effizient implementieren lässt sowie welche Bussysteme und Tools dabei zum Einsatz kommen. So sind Sie in der Lage, eine leistungsfähiges und exakt auf Ihre Anwendung hin optimierte Architektur zu realisieren. Sie werden verschiedene Designs auf einem SoC-Development Board implementieren.

Struktur

- SopC 1 Einführung in die Zync7000 Familie
- SopC 2 On-chip Bus und Peripherien
- SopC 3 Multi-Prozessorsysteme und FreeRTOS
- Praxis Beispiele aus der Praxis
FPGA-Projektmanagement
- Projekt 2 Selbständige Projektarbeit in der Gruppe

Zeitbedarf

8 Tage (plus 50 Stunden für das Projekt 2)

Notwendiges Material

- VHDL Entwicklungsumgebung
- FPGA Entwicklungsboard
- Eigenes Laptop mit ca. 120 GB freiem Diskspace (empfohlen)