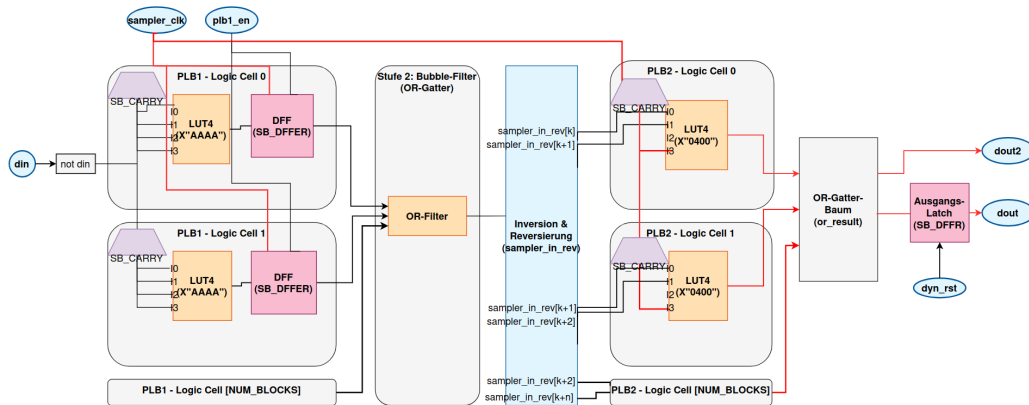


Smart Gatetreiber für SiC-Umrichter

Entwicklung einer FPGA-basierten Steuerung für ein intelligentes Gatetreiber-System. Das Design ermöglicht die zeitlich präzise Ansteuerung paralleler SiC-MOSFETs und Si-IGBTs zur Wirkungsgradsteigerung von PV-Wechselrichtern.



Steuerungsarchitektur

Ausgangslage und Zielsetzung

Die Steigerung des Wirkungsgrads ist ein zentrales Ziel in der Entwicklung moderner Solar-Wechselrichter. Eine etablierte Methode stellt die Parallelschaltung eines SiC-MOSFETs (geringe Schaltverluste) und eines Si-IGBTs (geringe Leitverluste bei hoher Last) dar. Die präzise Ansteuerung dieser Hybrid-Halbleiter erfordert jedoch ein zeitlich stabiles Verzögerungstiming im einstelligen Nanosekundenbereich, um dynamische Stromunsymmetrien und Bauteilschäden zu verhindern. Ziel dieses Projekts war die Entwicklung einer deterministischen FPGA-Steuerung, die diese Latenzen konstant einstellt.

Konzept und Umsetzung

Es wurde eine duale Steuerungs-Architektur erarbeitet. Ein STM32-Mikrocontroller übernimmt die langsame Systeminitialisierung, das Flashen des FPGAs über SPI sowie Parameterupdates im laufenden Betrieb über I²C. Ein ultraschneller Lattice iCE40 FPGA verarbeitet die zeitkritischen Schaltbefehle.

Der FPGA-interne Signalpfad wurde in VHDL implementiert und kombiniert eine Carry-Chain-Verzögerungsleitung (TDC) mit einer automatischen Latenz-Kalibrierung zur Jitter-Minimierung. Ein integrierter Bubble-Filter bereinigt transiente Bitfehler im Thermometer-Code vor der Takt-Auskopplung.

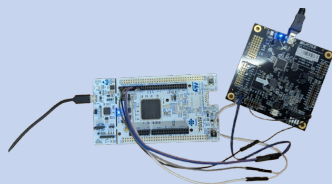
Ergebnisse

Das entwickelte Steuerungssystem wurde erfolgreich in einer laborbasierten Messumgebung validiert. Die Messergebnisse belegen einen stabilen, deterministischen Betrieb mit präzise einstellbaren Verzögerungszeiten im geforderten Bereich von 1 ns bis 20 ns.

Dank der internen PLL-Takterzeugung auf 252 MHz und des integrierten Bubble-Filters konnte der Systemjitter auf ein Minimum reduziert werden. Die validierte Steuerungseinheit bildet eine robuste Grundlage für das nachfolgende PCB-Layout zur finalen Systemintegration in den Wechselrichter.

Kenndaten

- Systemkomponente: Intelligenter Gatetreiber für SiC/IGBT-Hybrid-Wechselrichter
- Latenzbereich: 1 ns bis 20 ns (konstant einstellbar)
- FPGA-Taktfrequenz: 252 MHz (interne PLL)
- Werkzeuge: KiCad, GHDL, Yosys, nextpnr, STM32CubeIDE
- Validierung: Simulation und Labor-Messungen



Arbeitsgruppe:

Florian Hammer

Auftraggeber:

Swisssem Technologies AG, Lenzburg

Betreuer:

Prof. Dr. Renato Minamisawa