

# Signalverarbeitung für 3D Sound

Die Firma sonic emotion ag entwickelt professionelle Sound-Systeme und 3D-Audio-Technologien für Consumer-Produkte. Im Rahmen eines Projekts mit dem Institut für Mikroelektronik, mit Unterstützung des Instituts für Automation und mit Förderung durch die KTI wurde ein FPGA-basierter Prototyp für ein neuartiges Raumklang-System mit konzentrierten Lautsprechern implementiert. Field Programmable Gate Arrays (FPGAs) ermöglichen es, Signalverarbeitungs-Algorithmen einerseits zu parallelisieren und andererseits sequentielle Abläufe in Form von Verarbeitungs-Ketten (Pipelines) in Hardware «auszuwalzen». Gegenüber rein sequentiell arbeitenden Prozessoren wird damit die erforderliche Steigerung des Datendurchsatzes und der Rechenleistung erreicht.

Prof. Bruno Stuber | bruno.stuber@fhnw.ch

## 3D Sound mit Hilfe der Wellenfeld-Synthese

Die Unterhaltungselektronik bietet uns akustischen Hörgenuss in vielfältiger Weise: Klassischer Stereo-Sound, Quadrophonie oder die moderneren 5.1 Systeme. Bei diesen Systemen ist es unerlässlich, an der richtigen Position zu sitzen, ansonsten geht der gewünschte räumliche Effekt verloren oder einzelne Lautsprecher dominieren, wie Bild 1 illustriert.



Abbildung 1: Beschränkte optimale Position beim 5.1 System

Die Firma sonic emotion befasst sich seit Jahren mit professioneller Beschallung und hat mit Hilfe der «Wellenfeld-Synthese» (Wave Field Synthesis) neuartige Konzepte zur Beschallung von Räumen mit konzentrierten Arrays von Lautsprechern entwickelt, patentiert und umgesetzt. Die Grundidee dazu zeigt Bild 2a: Mit Hilfe einer Reihe von Lautsprechern kann im Prinzip ein beliebiges Schallfeld geformt werden, wenn die einzelnen Lautsprecher mit der richtigen Verzögerung und Amplitude angesteuert werden, ein Prinzip, welches schon der Physiker und Astronom Huygens für optische Wellen postuliert hat. Die akustische Perspektive bleibt erhalten, auch wenn sich der Hörer bewegt.



Bild 2: a) Erzeugung Wellenfeld b) Wellenfeld-Erzeugung durch aussenliegende Lautsprecher c) Umkehrung: Lautsprecher-Array innerhalb Hörzone

Ein Raum könnte somit durch eine Rundum-Anordnung von Lautsprechern optimal beschallt werden. Das Prinzip kann bis zu einem gewissen Grad auch umgekehrt werden, indem das Lautsprecher-Array in der Hörzone positioniert wird (Bild 2c).

Im Consumer-Bereich ergibt sich damit beispielsweise eine erhebliche Verbesserung des TV-Sounds. Das Prinzip wurde erfolgreich umgesetzt, erste Produkte sind auf dem Markt.

## Von den Algorithmen zum ASIC

Die von sonic emotion entwickelten Algorithmen operieren in komplexer Weise im Zeitbereich wie auch im Frequenzbereich: Das Quellensignal (Stereo- oder 5.1-Sound) wird analysiert, um lokalisierbare und diffuse Signal-Anteile zu trennen, spektral zerlegt und mittels adaptiven Algorithmen wieder in 6 Ausgangskanäle plus 1 Subwoofer-Kanal zugemischt. Das «Mischrezept» basiert auf umfangreichen Simulationen des Wellenfelds, primär unter Einbezug der Lautsprecher-Anordnung sowie den akustischen Eigenschaften eines typischen Raums. Als Resultat entsteht ein homogenes Schallfeld mit exakter Wiedergabe von lokalisierbaren Sound-Anteilen. Mittels Presets können auch alternative Raumklänge erzeugt werden.

Das Institut für Mikroelektronik (IME), mit Verstärkung durch das Institut für Automation (IA), wurde von sonic emotion mit der Umsetzung der Algorithmen in eine kundenspezifische Schaltung (ASIC) beauftragt. Das Projekt kam, als KTI-Projekt, zusätzlich in den Genuss der Förderung durch den Bund.

### Beitrag des Instituts für Automation: Fixed Point - Umsetzung der Algorithmen

Die Entwicklung und Umsetzung der Algorithmen auf die Ziel-Hardware erfolgt auch bei diesem Projekt nach einem typischen, von uns entwickelten und in zahlreichen Projekten bewährten Muster:

i) Zunächst werden die Algorithmen in floating point Arithmetik entwickelt und getestet. Wenn das Resultat zufriedenstellend ist, verfügt man über eine «Goldene Referenz», an der alle weiteren Umsetzungen gemessen werden (Bild 3)

ii) Im zweiten Schritt muss die Architektur für die Zielhardware im Detail festgelegt werden: Organisation der Speicher, Pipeline-Strukturen, Rechenstrukturen. Sämtliche arithmetischen Operationen müssen Schritt für Schritt in Einzeloperationen aufgelöst werden, mit Festlegung des Zahlenformats. Dazu wird ein Matlab-Modell geschrieben, welches diese Architektur exakt abbildet. Alle arithmetischen Operationen werden sodann in eigens entwickelten, parametrisierbaren Routinen parallel in floating point wie auch in fixed point Arithmetik ausgeführt. Für gewisse

Makro-Funktionsblöcke, die mit einem «Core-Generator» erzeugt werden, wie FFT und IFFT, stehen auch bitgenaue Modelle zur Verfügung.

Dies ermöglicht nun, gemäss Bild 3, eine Verifikation I, die eine exakte Übereinstimmung mit der «golden reference» erfordert.

Das bitgenaue Ergebnis Out muss weiter mit dem exakten Ergebnis Out verglichen werden: In der Verifikation II ist die Qualität des Ergebnisses im Hinblick auf die Anwendung zu beurteilen.

iii) Parallel dazu erfolgt die Beschreibung der Logik, strukturell wie funktionell, in der Beschreibungssprache VHDL. VHDL-Code ermöglicht in einem nächsten Schritt die Logik-Synthese auf die Zielhardware FPGA oder ASIC.

Stufe für Stufe kann nun getestet werden, mit Hilfe von Matlab-generierten Testpattern. Diese Verifikation III erfordert natürlich eine exakte Übereinstimmung.

Mit diesem Verfahren wird ein Höchstmass an Implementierungs-Sicherheit erreicht und - wie das Projekt zeigt - ein ASIC erfolgreich implementiert.

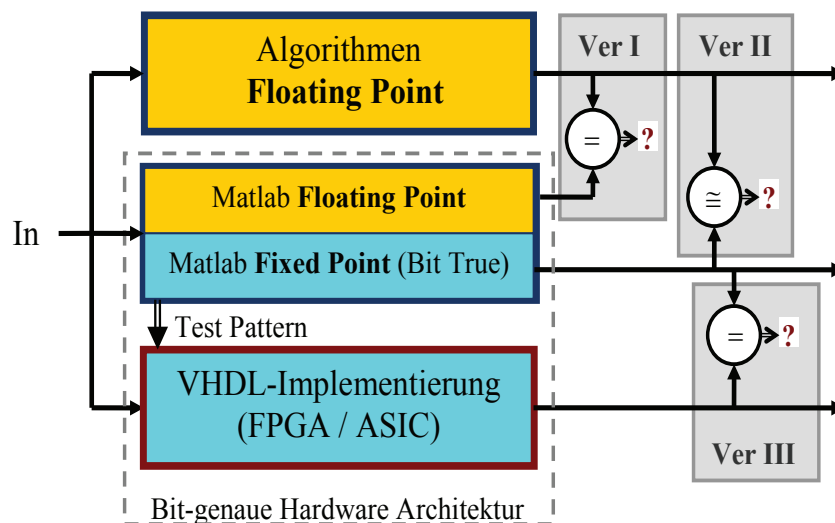


Bild 3: Bit-genaue Implementierung und 3-stufige Verifikation